

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 63215084
PUBLICATION DATE : 07-09-88

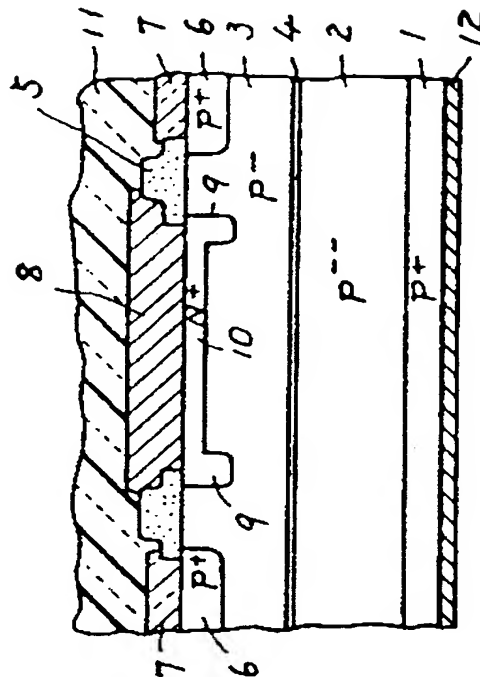
APPLICATION DATE : 04-03-87
APPLICATION NUMBER : 62047597

APPLICANT : TOSHIBA CORP;

INVENTOR : FUKUOKA KAZUO;

INT.CL. : H01L 31/10

TITLE : SEMICONDUCTOR PHOTODETECTOR



ABSTRACT : PURPOSE: To control the concentrations of a semiconductor layer, wherein a P-N junction and guard rings are formed, and a semiconductor layer having a concentration lower than that of this semiconductor layer with high precision and to improve the yield of the title element by a method wherein both semiconductor layers are formed as a substrate through a joint layer.

CONSTITUTION: A P⁻ semiconductor layer 2 is deposited on the surface of a P⁺ Si substrate 1 and the surface is mirror-polished. Then, the surface of a P⁻ Si semiconductor substrate 3 prepared separately from the substrate 1 is mirror-polished and the layer 2 and the substrate 3 are closely bonded to each other to form a composite semiconductor substrate. Subsequently, a thermal oxide film 5 is formed on the surface of the substrate 3 and after apertures are provided at the programming positions for forming guard rings, deposition of a BSG film 7 and diffusion of B are performed to form the guard rings 6. Then, an annular channel stopper 9 and an N⁺ region 10 are formed and a passivation film 11 and a rear electrode 12 are provided to complete an avalanche photo diode.

COPYRIGHT: (C)1988,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A) 昭63-215084

⑮ Int. Cl.⁴
H 01 L 31/10

識別記号 庁内整理番号
B-7733-5F

⑬ 公開 昭和63年(1983)9月7日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体受光素子

⑯ 特 願 昭62-47597

⑰ 出 願 昭62(1987)3月4日

⑱ 発 明 者 福岡 和 雄 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 井上 一男

明 細 書

1. 発明の名称

半導体受光素子

2. 特許請求の範囲

ある導電型を示す半導体基板と、この表面に設ける低濃度のある導電型成長半導体層と、この成長半導体層ならびに前記半導体基板の中間濃度をもち、この成長半導体層に積層するある導電型半導体層と、このある導電型半導体層及び前記ある導電型の成長半導体層の境界に設ける接合層と、前記ある導電型半導体層表面から内部に向けて形成する反対導電型領域と、この反対導電型領域ならびに前記ある導電型半導体層間に形成するPN接合を囲んで設けるガードリングとを具備することを特徴とする半導体受光素子。

3. 発明の詳細な説明

<発明の目的>

(産業上の利用分野)

本発明は光通信の受光素子として利用されて、高速応答ならびに増幅作用を発揮するアバランシ

エフォートダイオードの改良に係る。

(従来の技術)

高速での応答ならびに増幅作用を行うアバランシエフォートダイオードは最近では600nm~1000nm特に800nmの波長を放射する光源に対する受光素子即ち光通信用としての用途が拡大している。

このアバランシエフォートダイオードの構成を第2図により説明すると、Bを含有し比抵抗が約5 $\times 10^{-2}\Omega\text{-cm}$ のP⁺半導体基板20を準備する。と言うのはこのダイオードで必要とする良好な雑音特性は半導体単結晶におけるイオン化率比によって決まる。Siでは、電子のイオン化率が正孔のイオン化率より高く、アバランシエ増幅領域の少数キャリアとして電子を選ぶ必要があるため通常P導電型の半導体基板を適用する。

このP⁺半導体基板20には通常のエピタキシャル成長法によってBを含み、比抵抗が100~300 $\Omega\text{-cm}$ のP⁻半導体層21を堆積し、更に増幅層として機能するP⁻半導体層22を矢張りエピタキシャル成長法によって堆積する。このP⁻半導体層の比抵抗

は、 $10 \sim 20 \Omega \cdot \text{cm}$ であり不純物としてBを含有する。

このP⁺⁺半導体層の形成に先立ってP⁺半導体層21にはP⁺埋込層23を通常の手法で設置する。具体的には、このP⁺半導体層21表面を被覆する絶縁物層の所定位置を開口して、露出するP⁺半導体層21内にBをドーズ量 $2 \times 10^{13}/\text{cm}^2$ 程度注入するか、このマスクとして、レジストを利用して良く、又気相拡散でも差支えない。

このP⁺半導体層22にはガードリング24、チャンネルストップパー25ならびにN⁺領域26の形成工程に移る。先ずP⁺半導体層22の表面には通常の熱酸化法によって絶縁膜27を被覆後、P⁺ガードリング24の設置予定位置を開口し、ここにBSG膜28を堆積パターンニングしてから含有するBを固相拡散して $10^{13}/\text{atoms/cc}$ 程度の表面濃度に形成する。

次に絶縁膜27の所定位置即ちチャンネルストップパー25の位置に対応する部分を除去してからPAsSG膜28を被覆パターンニング後含有するPならびにAsを固相拡散して表面濃度約 $10^{13}/\text{atoms/cc}$ の

チャンネルストップパー25を形成する。

次にN⁺領域26に相当する絶縁膜27を溶解除して新たにPAsSG膜28を被覆パターンニングして、含有するP、Asを拡散して約 $10^{13}/\text{atoms/cc}$ のN⁺領域26を形成する。ただし、このN⁺領域26の拡散深さはチャンネルストップパー25のそれより相当小さい。

更にFinal Passivation用としてUndopeのCVD被膜29を堆積して、更にP⁺半導体基板20の裏面に電極30を設けてアバランシェフォトダイオードを完成する。

(発明が解決しようとする問題点)

このアバランシェフォトダイオードでは光吸収層ならびに増幅層として動作するP⁺⁺半導体層21及びP⁺半導体層22を夫々エピタキシャル成長法によって独立に設計できる利点を持っている反面、これらの各半導体層濃度ならびに厚さはこの成長法によって決定される。

しかも、この各半導体層21、22ならびにP⁺の埋込層23は何れも濃度差が大きいのので、このエピタキシャル成長工程時にAuto dopingが発生し、P⁺

もしくはP⁺⁺半導体層にいわゆるミスフィットが発生し、これによる局所的なブレイクダウンが起り、歩留りが悪化する懸点がある。更には、濃度制御の問題等によって動作電圧ならびに雑音特性の悪化をもたらして同じく歩留りが低下する。

本発明は上記欠点を除去する新規な半導体受光素子を提供することを目的とする。

<発明の構成>

(問題点を解決するための手段)

この目的を達成するために、本発明ではP⁺半導体基板にP⁺⁺半導体層をエピタキシャル法によって形成し、一方用意したP⁺半導体基板に設ける眞面と、このP⁺⁺半導体層表面に形成する眞面を接合して、単一の半導体基板を構成しこのP⁺半導体層にN⁺領域、チャンネルストップパーならびにガードリングを形成する手法を採用する。

(作用)

ところで、含有不純物に濃度差があり、同種の導電型もしくは導電型の相違する半導体基板を接合して一体化する技術はすでに開発されているが、

この技術を半導体受光素子に適用すると、その増幅作用ならびに雑音特性を格段に向上し、その歩留りを改善する事実を基に本発明は完成したものである。

(実施例)

第1図により本発明に係る実施例を詳細するが、従来の技術欄と重複する記載にも新番号を付して説明する。

Bを含有し比抵抗が $5 \Omega \cdot \text{cm}$ 位のP⁺Si半導体基板1を用意し、その表面にBを含み比抵抗として $100 \sim 300 \Omega \cdot \text{cm}$ のP⁺⁺半導体層2を $30 \sim 40 \mu\text{m}$ 堆積する。この堆積は公知のエピタキシャル成長法を利用し、この時発生するAuto dopingは高々約 $5 \mu\text{m}$ であるので問題でない。一方矢張りBを含有して比抵抗が $10 \sim 20 \Omega \cdot \text{cm}$ のP⁺Si半導体基板3を準備後前述の接合工程に移行する。

このP⁺⁺半導体層2ならびにP⁺Si半導体基板3の表面を研磨して粗さ500Å以下の眞面とし、この研磨工程後の表面状態によって前処理工程によって油脂分等を消除する。次いで清浄な水で数分

程度水洗してから、スピナー処理のような脱水処理により前記界面に吸着していると想定される水分はそのまま残し、過剰な水分を除去するが、この吸着水分が殆んど揮散する1000℃以上の加熱乾燥は避ける。

この処理を経たP⁺Si半導体基板3及びP⁺半導体層2を例えばクラス1以下の清浄な大気雰囲気中に設定して、前記界面間に異物(ゴミ)が実質的に介在しない状態で相互に密着接合して複合半導体基板を形成する。この複合半導体基板を200℃以上好ましくは1000℃乃至2000℃に加熱処理して接合強度を増すこともでき、接合工程時の雰囲気としては大気のほかに、酸素もしくは両者の混合雰囲気も適用可能であり、接合強度を増す場合にもこれらの雰囲気は採用可能である。

ところで、この接合工程では前記界面に対する水洗工程によって極性基が形成され、これによる結合によってBulk組織と異なる接合層4が生ずるために複合半導体基板が得られると想定される。この接合層4は付加する熱負荷に応じてその境界

が変動することも考えられるので、本発明ではその境界を画然と区分することだけを意味するものでなく、この変動状態を包含するものである。

この複合半導体基板の表面即ちP⁺半導体基板3表面から内部に向けてガードリング6、チャンネルストップ9ならびにN⁺領域10の形成工程に入る。

このP⁺半導体基板表面には通常の手法によって熱酸化膜5を形成し、環状のP⁺ガードリング形成予定位置に対応する位置を公知の写真食刻法によって開口し、BSG膜7を堆積してパターニングを施し、含有するBを固相拡散して10¹³atoms/cc程度の表面濃度としてガードリング6を形成する。

次にN⁺チャンネルストップ9の形成予定位置に対応する熱酸化膜7を常法に従って除去して露出するP⁺半導体基板にPASG膜8を被覆し、更にパターニングを行ってからP及びAsを拡散して表面濃度約10¹³atoms/cc程度の環状チャンネルストップ9を形成する。

引続いてこのチャンネルストップ9の中間位

置に形成されるN⁺領域10に対応する熱酸化膜5及びPASG層を除去してから、新たにPASG層を被覆パターニングしてからこのP及びAsを固相拡散してN⁺領域10を設ける。このN⁺領域10の深さはチャンネルストップ9のそれより遙かに小さくかつ互に連続する形状となり、Pの含有量はAsの含有量より大きい。

更にFinal Passivation層11としてUndoped CVD被膜11を堆積し、又P⁺半導体基板の裏面にAu-V-Ni電極12を設けてアバランシェフォトダイオードを完成する。

<発明の効果>

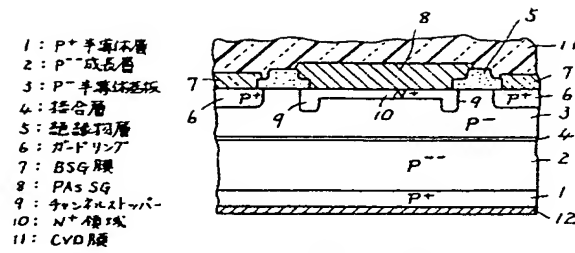
アバランシェフォトダイオードの重要な特性である動作電圧と雑音特性は光吸収層として機能するP⁺成長半導体層のバンチスルー電圧、降伏電圧及び動作電圧印加時における増幅層即ちP⁺半導体基板の電圧強度に依存する。しかし、これらの諸特性を決めるのはこの両層によって得られる濃度プロファイルであるが、本発明は接合技術の採用によって設計値に極めて近い構造が得られるた

めに、この特性を満たす素子が歩留り良く形成可能となった。

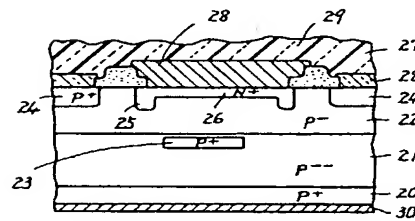
4. 図面の簡単な説明

第1図は本発明に係る半導体受光素子の断面図、第2図はその従来構造を示す断面図である。

代理人 弁理士 井 上 一 男



第 1 図



第 2 図